

65nm CMOSでの分周回路の検討

~ Design of Divider with 65nm CMOS Process ~

○ 三田 大介₁ 柴田 賢一₁ 氏家 隆一₁ 石原 昇₁

清水 敏彦₂ 佐藤 久恭₂ 堀 和明₂

高井 伸和₁ 傘 昊₁ 弓仲 康史₁ 小林 春夫₁

群馬大学 大学院工学研究科₁

株式会社 ルネサステクノロジ₂

アウトライン

- 研究背景・目的
- 分周回路構成の検討
 - 高速・低消費電流動作技術の検討
 - 従来回路構成における問題点
 - 提案回路構成の有効性の明確化
 - 低位相雑音動作技術の検討
- LOバッファ回路構成の検討
- 分周回路構成+LOバッファ回路構成の検討
- まとめ

アウトライン

- 研究背景・目的
- 分周回路構成の検討
 - 高速・低消費電流動作技術の検討
 - 従来回路構成における問題点
 - 提案回路構成の有効性の明確化
 - 低位相雑音動作技術の検討
- LOバッファ回路構成の検討
- 分周回路構成+LOバッファ回路構成の検討
- まとめ

研究背景

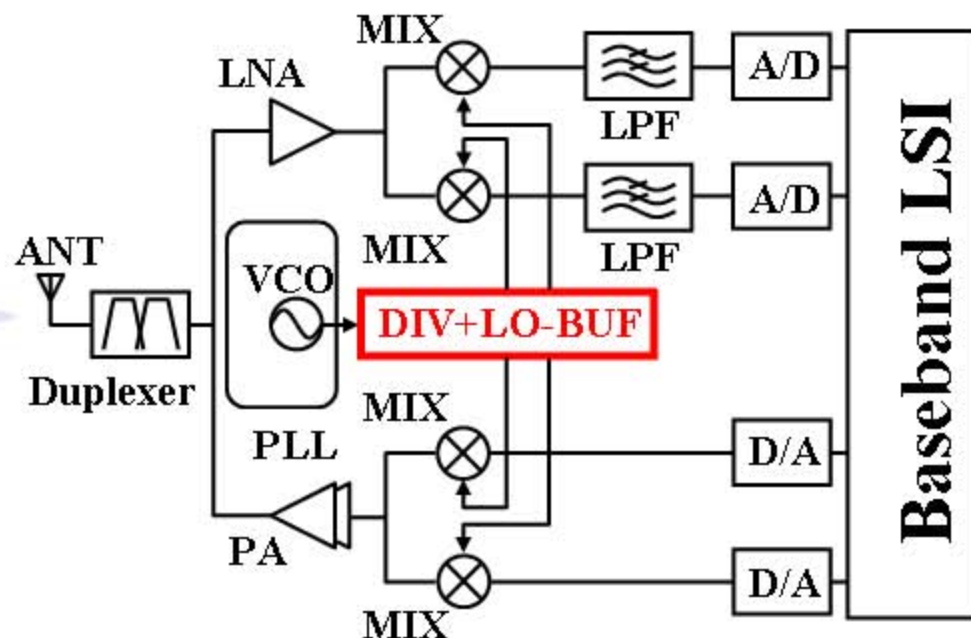
主流の無線トランシーバ

アーキテクチャ

ダイレクトコンバージョン方式

[特徴]

- ・ CMOSによる1チップ化が可能
- ・ マルチモード化が可能



無線通信回路のキーコンポーネント

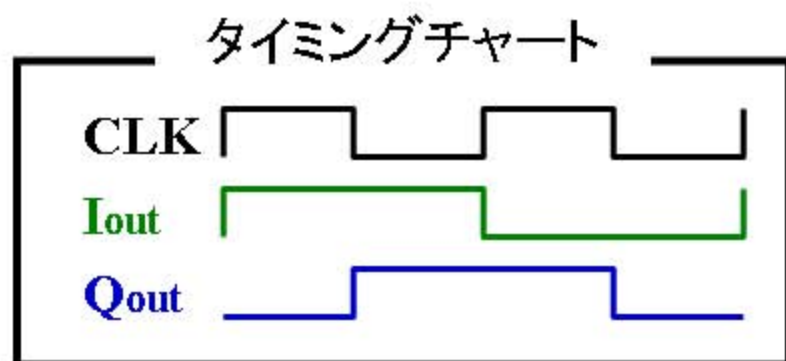
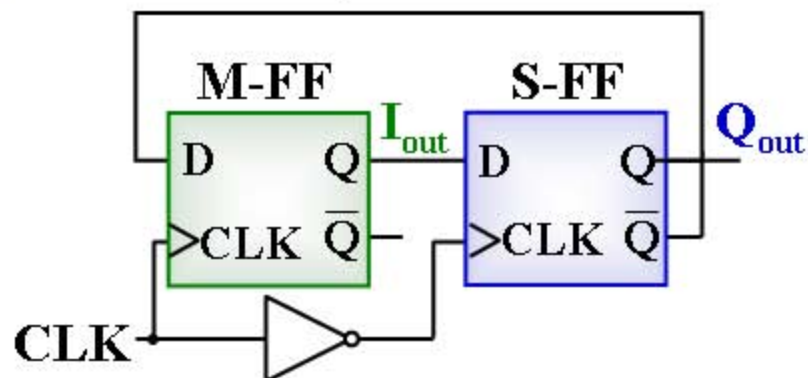
分周回路+LOバッファ回路

要求性能

- 高速・低消費電流動作
- 低位相雑音性能

分周回路構成を使用する理由

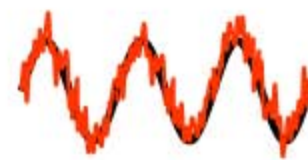
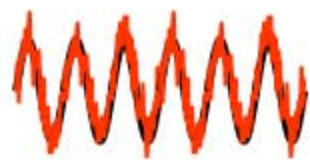
1. 正確なIQ出力信号を生成



正確な 90 度位相差信号を出力可能

2. キャリアの位相雑音を低減

VCOからの出力信号



VCO雑音の低減

$$y_{in} = A \sin \left[2\omega_c t + \phi_{n,VCO}(t) \right]$$

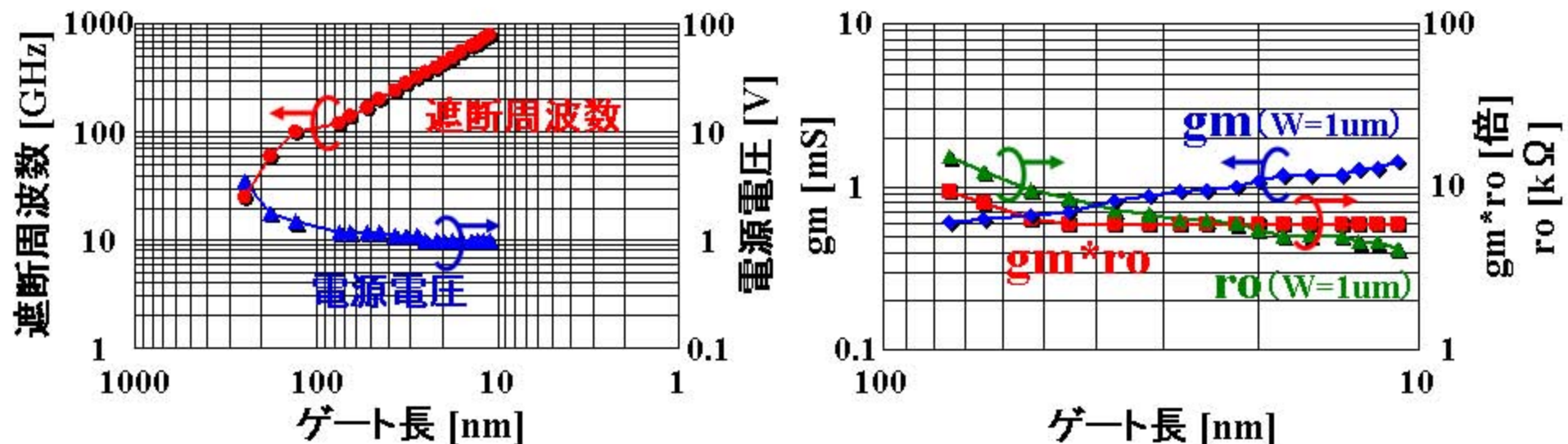
VCOの位相雑音成分

$$y_{out} = A \sin \left[\omega_c t + \frac{\phi_{n,VCO}(t)}{2} + \phi_{n,DIV}(t) \right]$$

分周回路の雑音付加

CMOSの微細化

CMOSの微細化による性能の推移(予測)



CMOSの微細化による恩恵と問題点

- 相互コンダクタンスの向上と真性利得の低下
- 遮断周波数の向上と電源電圧(耐圧)の低下

研究目的

目的

65nm CMOSプロセスを使用して異なる二つの仕様を
同時に満たす**分周回路+LOバッファ回路**の検討

WLAN 802.11a

動作周波数 = 12GHz

Cellular W-CDMA

動作周波数 = 4GHz

位相雑音 (@190MHz-offset)

= -165.0dBc/Hz

共通仕様

電源電圧 = 1.2V

負荷容量 = 100fF

出力振幅(片相:差動出力)

= 大出力振幅

消費電流(TOTAL)

= 低消費電流

研究目的

目的

65nm CMOSプロセスを使用して異なる二つの仕様を
同時に満たす**分周回路+LOバッファ回路**の検討

WLAN 802.11a

動作周波数 = 12GHz

想定規格: WLAN (Wireless LAN) のIEEE802.11a

ノイズや混信の影響が少ないので位相雑音は特に考慮しない

[特徴]

利用周波数 : 5GHz帯

最大伝送速度: 54Mbps

変調方式 : OFDM

[理由]

- 利用周波数帯域が他規格であまり使用されていない高周波帯域
- 変調方式のOFDMがノイズに強い

研究目的

目的

65nm CMOSプロセスを使用して異なる二つの仕様を
同時に満たす**分周回路+LOバッファ回路**の検討

Cellular W-CDMA

動作周波数 = 4GHz

位相雑音 (@190MHz-offset) = -165.0dBc/Hz

- 送受信での同時動作を考える為、位相雑音が重要項目
- 送受信周波数間隔190MHzより評価するオフセット周波数を決定
- 受信機全体のEVM(Error Vector Magnitude)や目標仕様から各要素回路の仕様を割り振り、位相雑音の目標値を決定

アウトライン

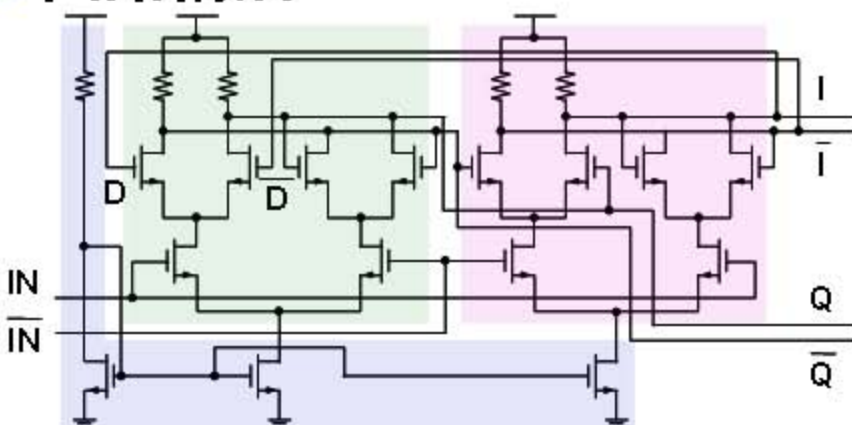
- 研究背景・目的
- 分周回路構成の検討
 - 高速・低消費電流動作技術の検討
 - 従来回路構成における問題点
 - 提案回路構成の有効性の明確化
 - 低位相雑音動作技術の検討
- LOバッファ回路構成の検討
- 分周回路構成+LOバッファ回路構成の検討
- まとめ

従来回路構成における問題点

④ 回路構成

※ 入力信号: 振幅0.2V、バイアス電圧0.7V、周波数12GHzのsin波 負荷容量0fF

温度: 27°C、プロセス: TT、電源電圧: 1.2V



目標動作周波数で分周可能

問題点

- 小出力振幅
- 入力振幅範囲の制限
- 帰還端子のバイアス調整が困難

CML (Current Mode Logic) 構成

④ 出力波形 @ 3.51mA (TOTAL)



提案回路構成の検討

65nm CMOSプロセス

遮断周波数 NMOS : 140GHz **PMOS : 90GHz**



高速ロジック動作が可能

Standard Logic構成の有効性を検討

分周回路の分類

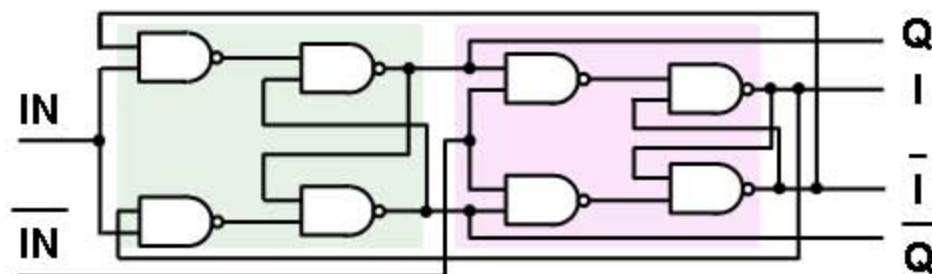


アウトライン

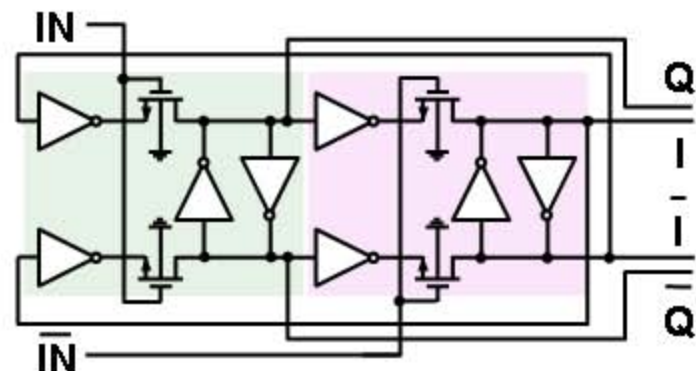
- 研究背景・目的
- 分周回路構成の検討
 - 高速・低消費電流動作技術の検討
 - 従来回路構成における問題点
 - 提案回路構成の有効性の明確化
 - 低位相雑音動作技術の検討
- LOバッファ回路構成の検討
- 分周回路構成+LOバッファ回路構成の検討
- まとめ

提案回路構成の検討内容 — 動作周波数クロック特性 —

◎ 回路構成



標準CMOS Logic構成(NAND型)



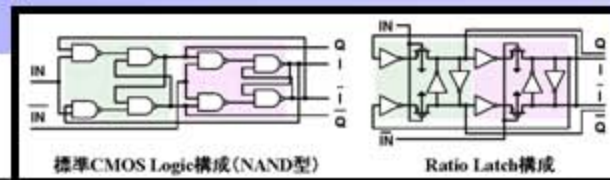
Ratio Latch構成

消費電流に対する動作周波数の性能を確認

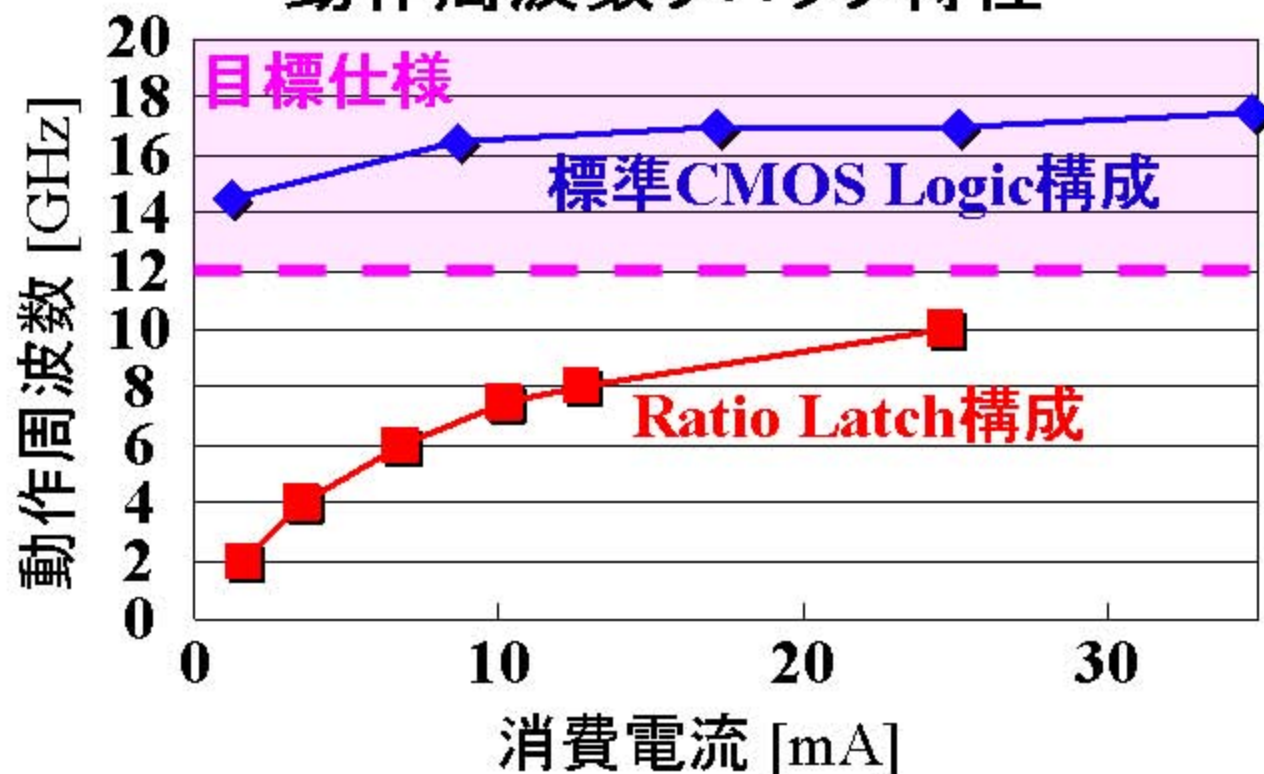
Simulation条件

- 入力信号: 振幅1.0V、バイアス電圧0.6Vのsin波
- 正常動作条件: 基本波パワースペクトラムが5.56dBm以上
- 温度: 27°C、プロセス: TT、電源電圧: 1.2V、負荷容量: 0fF

検討結果



動作周波数クロック特性



高速・低消費電流動作が要求されるWLAN 802.11a用分周回路候補

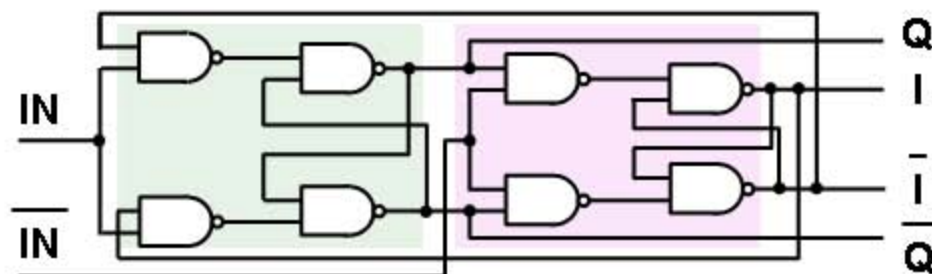
標準CMOS Logic構成(NAND型)

アウトライン

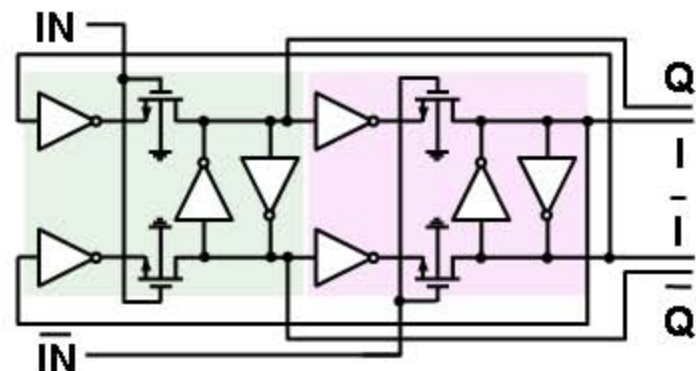
- 研究背景・目的
- 分周回路構成の検討
 - 高速・低消費電流動作技術の検討
 - 従来回路構成における問題点
 - 提案回路構成の有効性の明確化
 - 低位相雑音動作技術の検討
- LOバッファ回路構成の検討
- 分周回路構成+LOバッファ回路構成の検討
- まとめ

提案回路構成の検討内容 — 位相雑音特性 —

② 回路構成



標準CMOS Logic構成(NAND型)



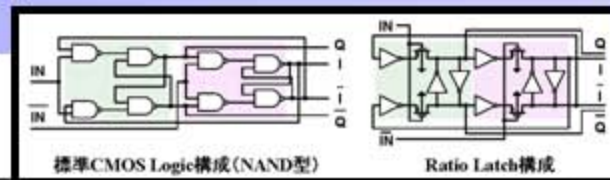
Ratio Latch構成

消費電流に対する位相雑音の性能を確認

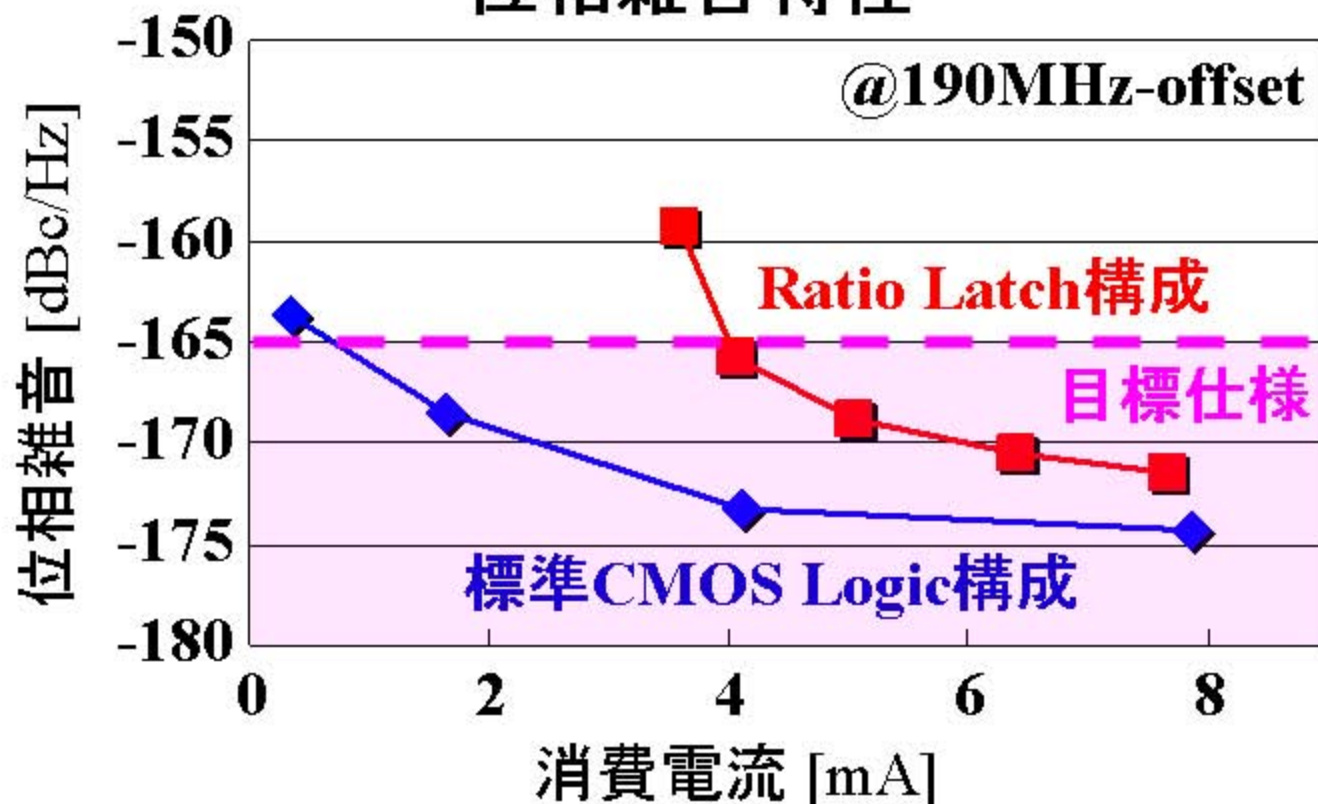
Simulation条件

- 入力信号: 振幅1.0V、バイアス電圧0.6V、周波数4GHzのsin波
- オフセット周波数が190MHzでの位相雑音を確認
- 温度: 27°C、プロセス: TT、電源電圧: 1.2V、負荷容量: 0fF

検討結果



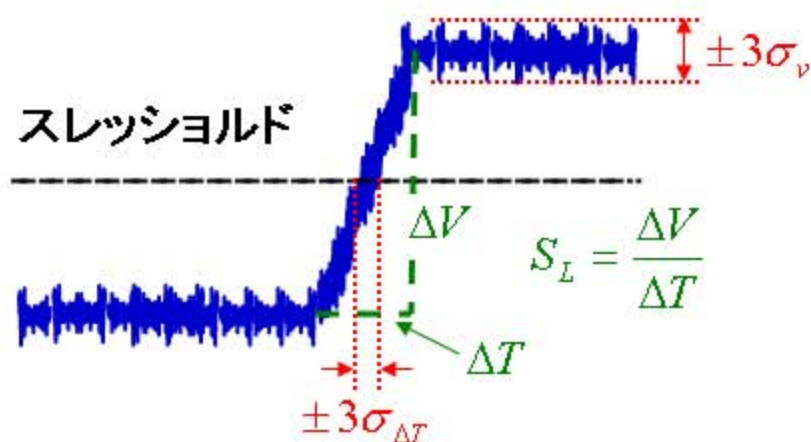
位相雑音特性



低位相雑音動作が要求されるCellular W-CDMA用分周回路候補

標準CMOS Logic構成(NAND型)

位相雑音の原因



SR の平均値

$$S_L = \frac{SR_r + SR_f}{2}$$

立ち上がりのSR

立ち下がりのSR

$$SR_r = \frac{V_{r90} - V_{r10}}{t_{r90} - t_{r10}}$$

$$SR_f = \frac{V_{f10} - V_{f90}}{t_{f90} - t_{f10}}$$

電圧雑音 → 位相揺らぎ(時間軸雑音):ジッタ

ジッタ解析式

$$\sigma_{\Delta T}^2 = \frac{2\sigma_V^2}{S_L^2}$$

σ_V^2 : 電圧雑音パワー [V²]

S_L : スルーレート [V/sec]

$\sigma_{\Delta T}^2$: ジッタパワー [sec²]

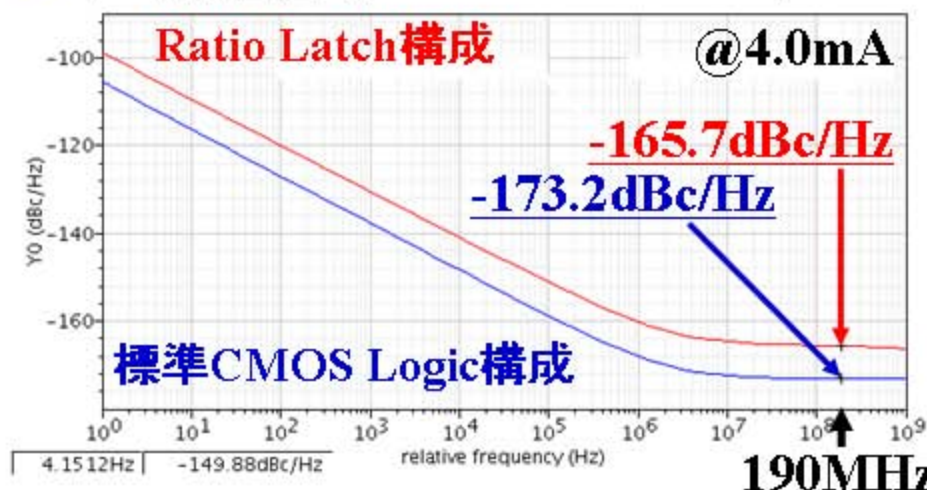
参考論文 : ESSCIRC 2002 L. Romanò, S. Levantino, S. Pellerano, C. Samori, A. Lacaita

Low Jitter Design of a 0.35 μ m-CMOS Frequency Divider Operating up to 3GHz

$$\sigma_{\Delta T}^2 = \frac{2\sigma_V^2}{S_L^2}$$

ジッタ解析式による位相雑音の解析

◎ 位相雑音 (190MHz-offset)



性能 @ 4.0mA

標準CMOS Logic構成

スルーレート : 44.9V/ns 素子数 : 32

Ratio Latch構成

スルーレート : 8.9V/ns 素子数 : 20

標準CMOS Logic構成 / Ratio Latch構成

スルーレート : $44.9/8.9 = 5.044 \dots \doteq 5$ 素子数 : $32/20 = 1.6$

目標領域でもジッタ解析式が有効である場合

シミュレーションと解析式の傾向が一致

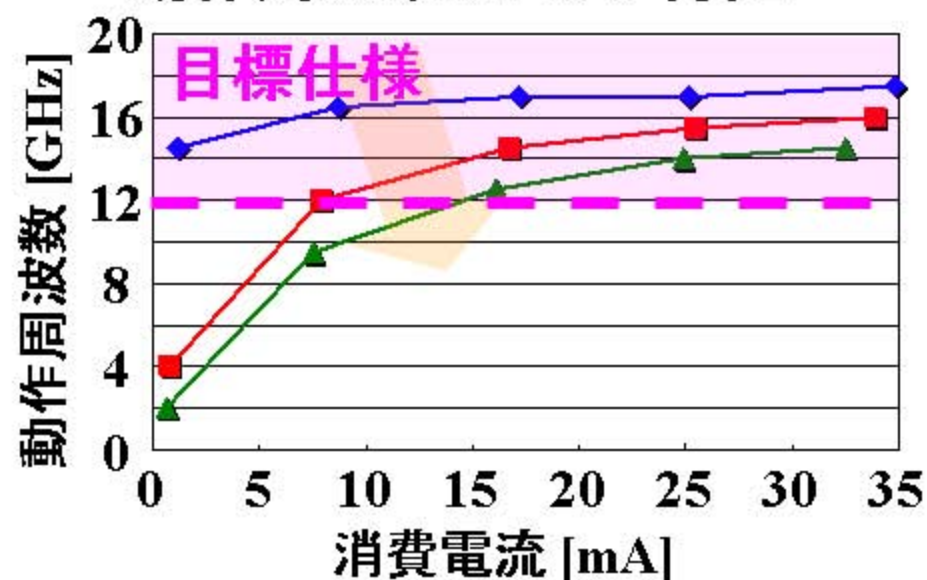
標準CMOS Logic構成が優れている原因 : スルーレート

負荷容量を考慮した検討

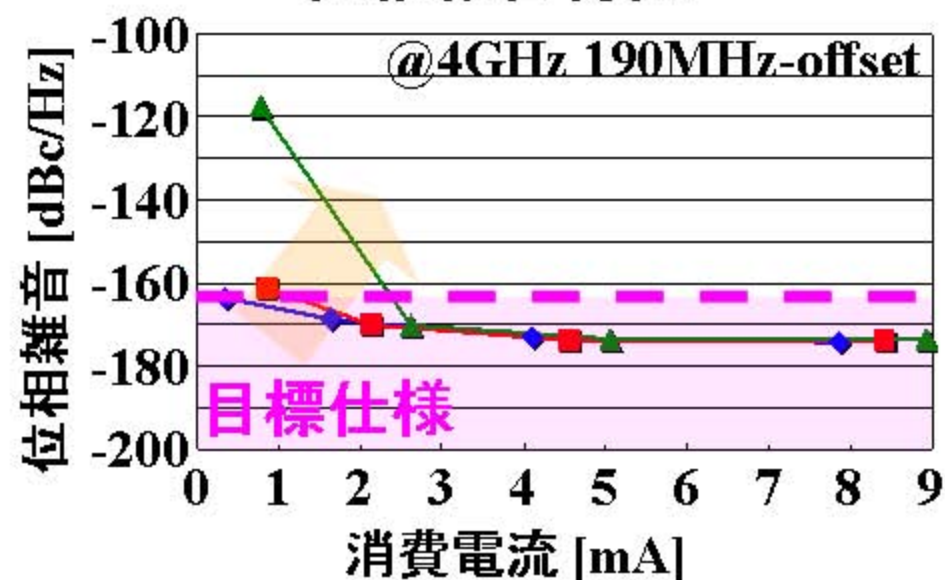
異なる二つの仕様を同時に満たす分周回路候補

標準CMOS Logic構成 (NAND型)

動作周波数クロック特性



位相雑音特性



負荷容量: 0fF 負荷容量: 50fF 負荷容量: 100fF

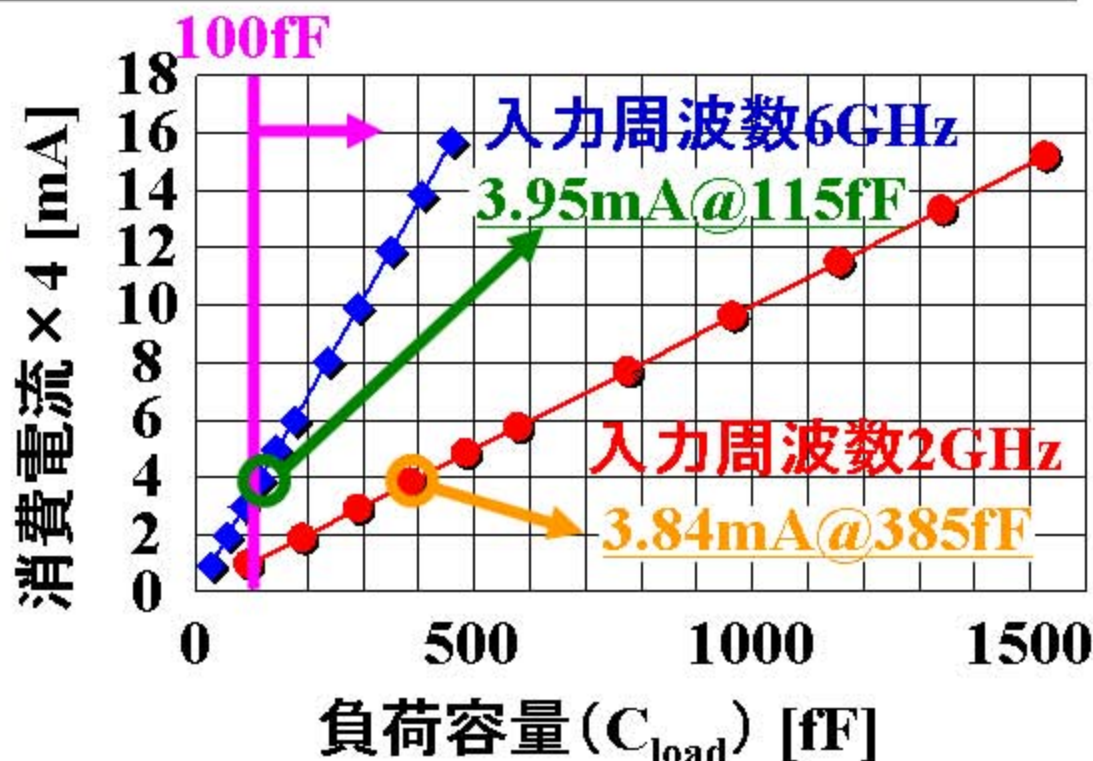
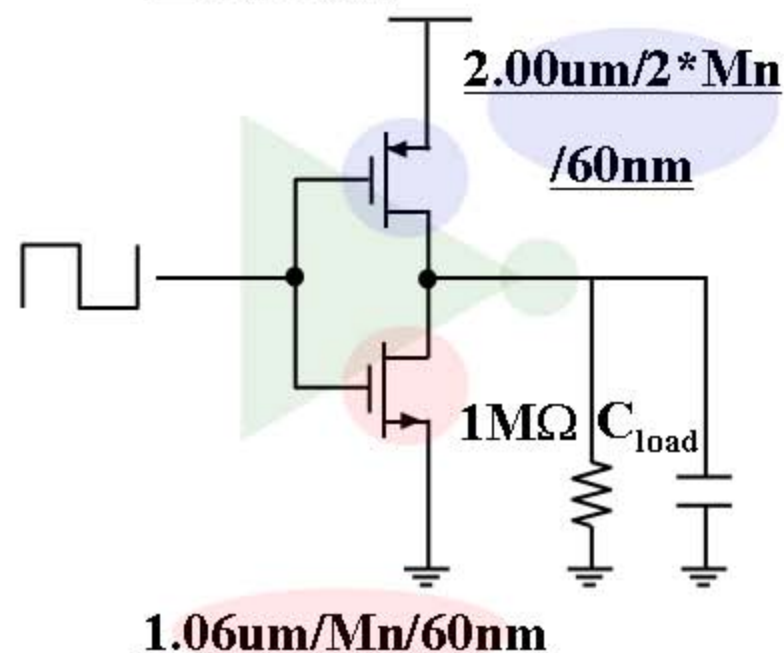
小さい後段 (LOバッファ回路) 入力容量を要求

アウトライン

- 研究背景・目的
- 分周回路構成の検討
 - 高速・低消費電流動作技術の検討
 - 従来回路構成における問題点
 - 提案回路構成の有効性の明確化
 - 低位相雑音動作技術の検討
- LOバッファ回路構成の検討
- 分周回路構成+LOバッファ回路構成の検討
- まとめ

LOバッファ回路 (CMOSインバータ構成) の解析

② 回路構成

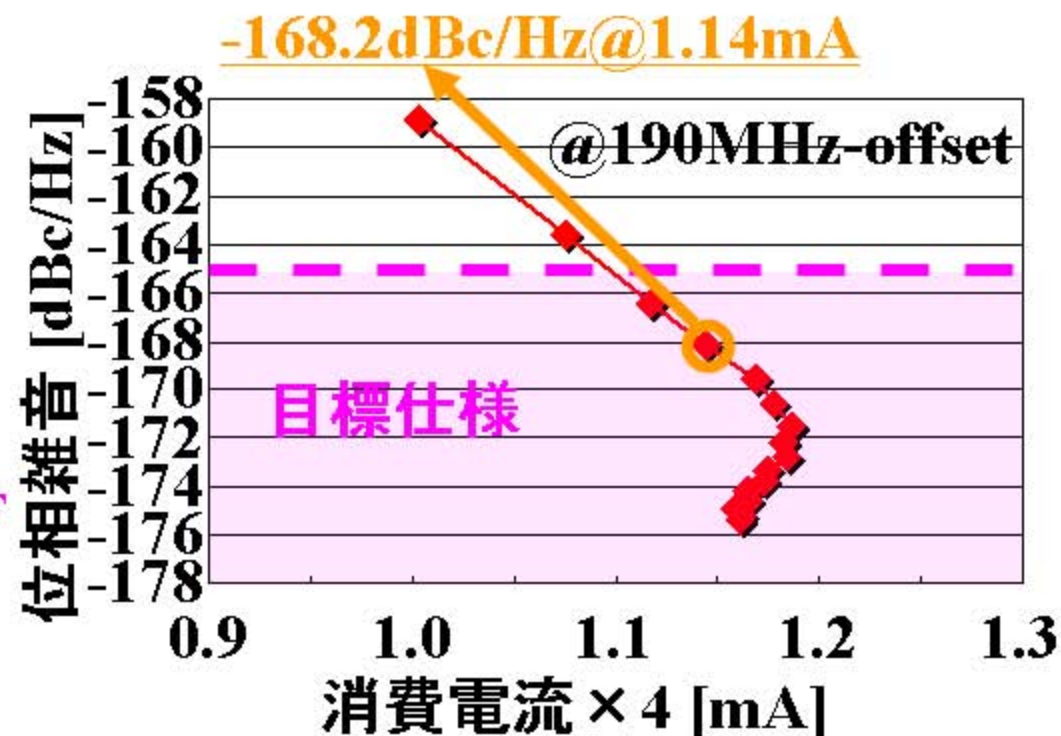
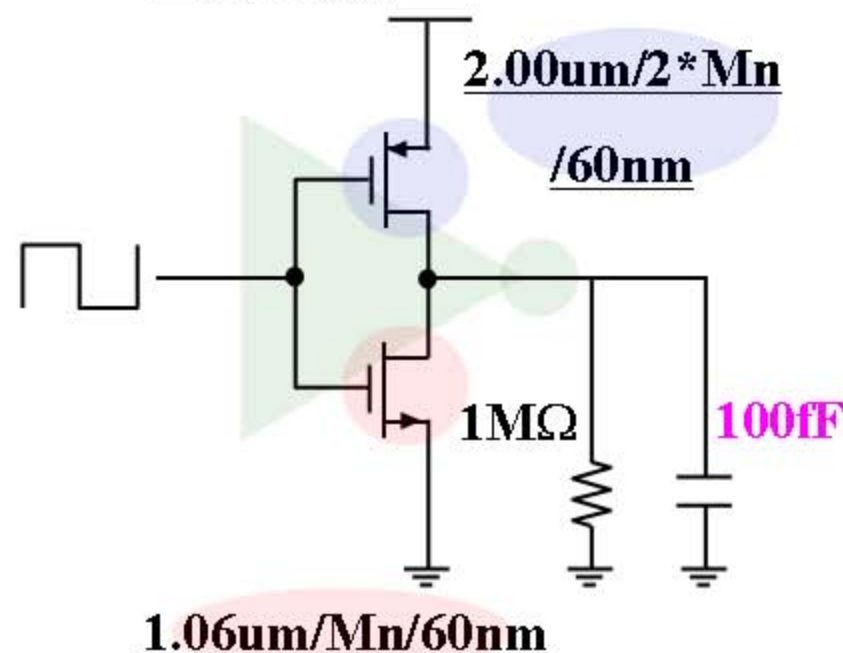


Simulation条件

- 入力信号: 振幅1.2V、バイアス電圧0.6Vのpulse波
- 正常動作条件: 基本波パワースペクトラムが5.56dBm以上
- 温度: 27°C、プロセス: TT、電源電圧: 1.2V

LOバッファ回路の位相雑音特性

④ 回路構成



Simulation条件

- 入力信号: 振幅1.2V、バイアス電圧0.6V、周波数2GHzのpulse波
- オフセット周波数が190MHzでの位相雑音を確認
- 温度: 27°C、プロセス: TT、電源電圧: 1.2V

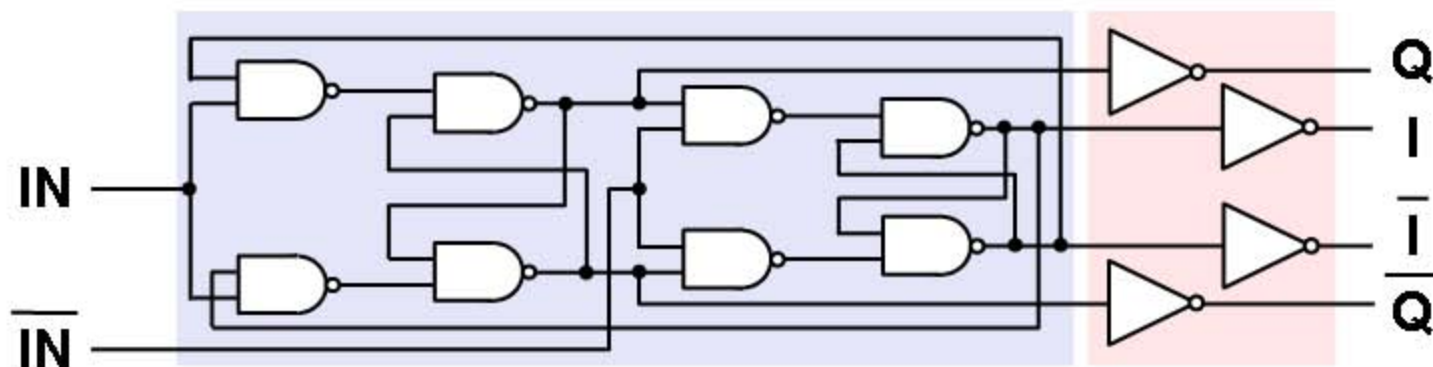
アウトライン

- 研究背景・目的
- 分周回路構成の検討
 - 高速・低消費電流動作技術の検討
 - 従来回路構成における問題点
 - 提案回路構成の有効性の明確化
 - 低位相雑音動作技術の検討
- LOバッファ回路構成の検討
- 分周回路構成+LOバッファ回路構成の検討
- まとめ

検討内容

② 回路構成

※ LOバッファ回路はバイアス調整の為サイズに若干の変更あり



分周回路: 標準CMOS Logic構成

LOバッファ回路: CMOSインバータ構成

Simulation条件

- 入力信号: 振幅1.0V、バイアス電圧0.6Vのsin波
- 正常動作条件: 基本波パワースペクトラムが5.56dBm以上
- オフセット周波数が190MHzでの位相雑音を確認
- 温度: 27°C、プロセス: TT、電源電圧: 1.2V、負荷容量: 100fF
- LOバッファ回路を前の検討で導出したサイズに固定

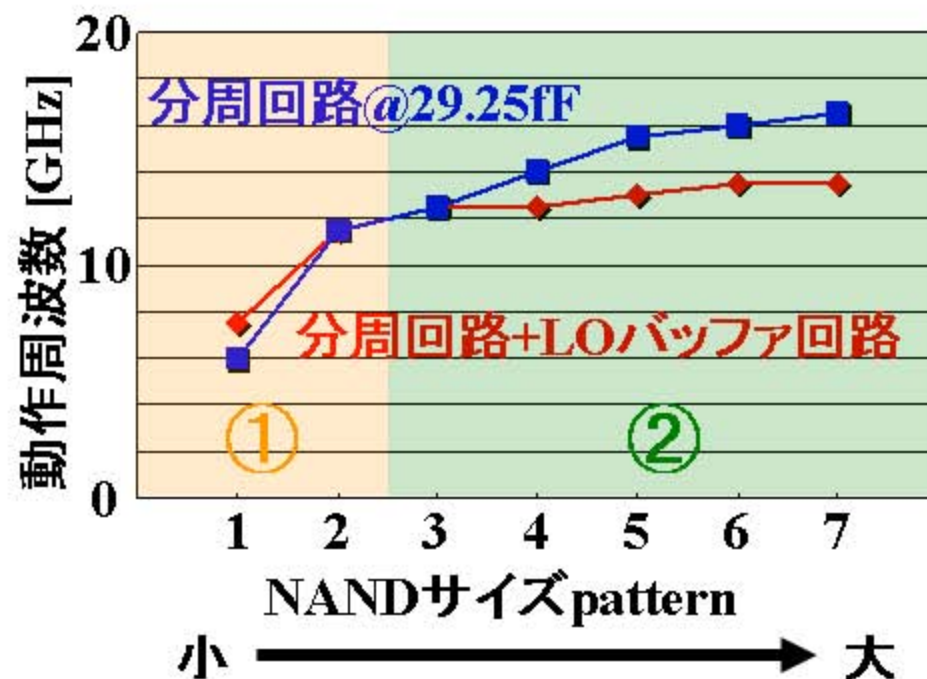
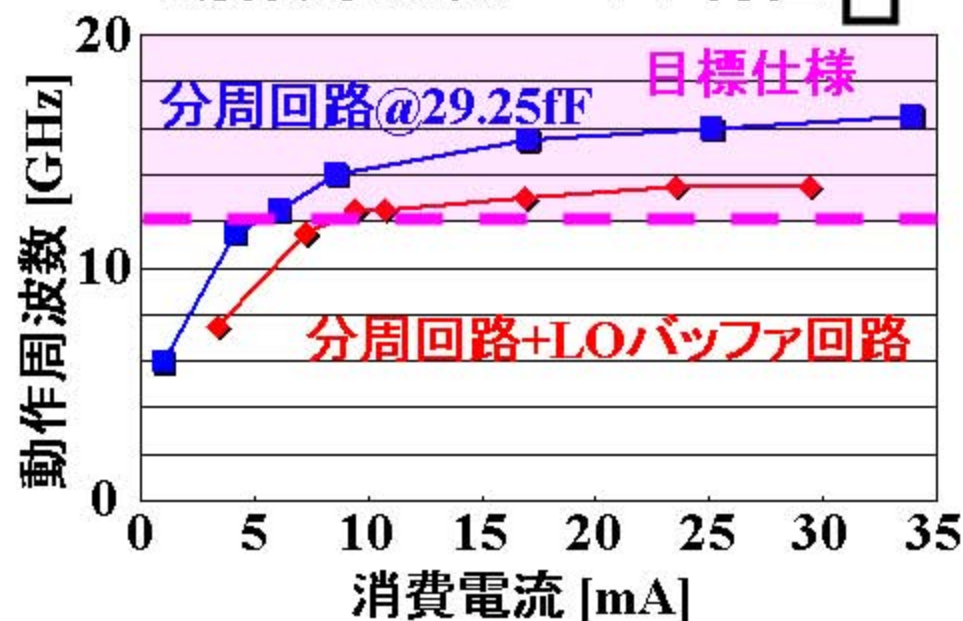
検討結果 — WLAN 802.11a —

動作周波数クロック特性



横軸をNANDのサイズパターンに変更

LOバッファ回路の影響を解析



※ 分周回路はLOバッファ回路の
入力容量相当の負荷容量をつけた特性
LOバッファ回路の入力容量 = 29.25fF

小信号等価回路より導出

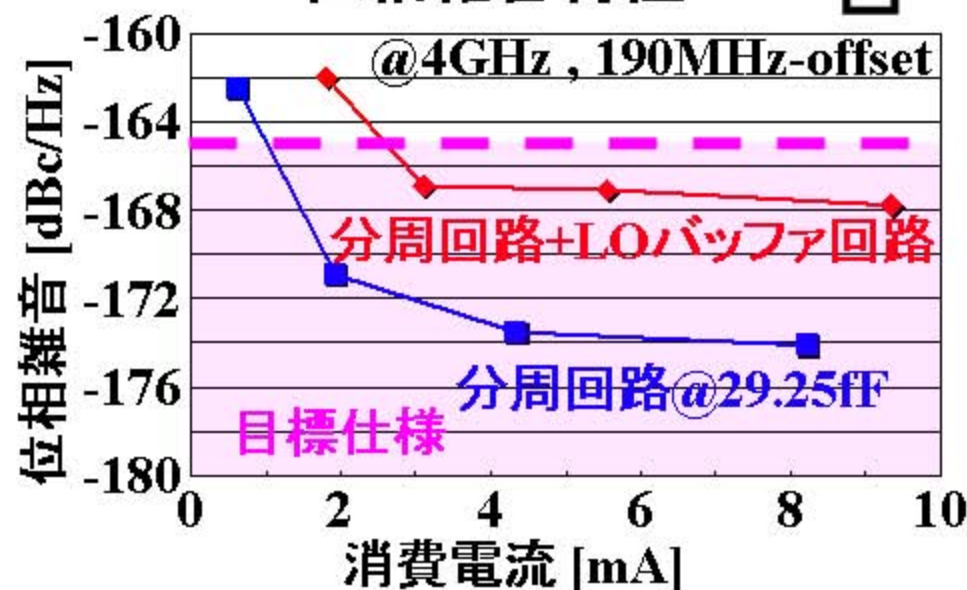
- ① LOバッファ回路により駆動能力向上
- ② LOバッファ回路により駆動能力制限

検討結果 — Cellular W-CDMA —

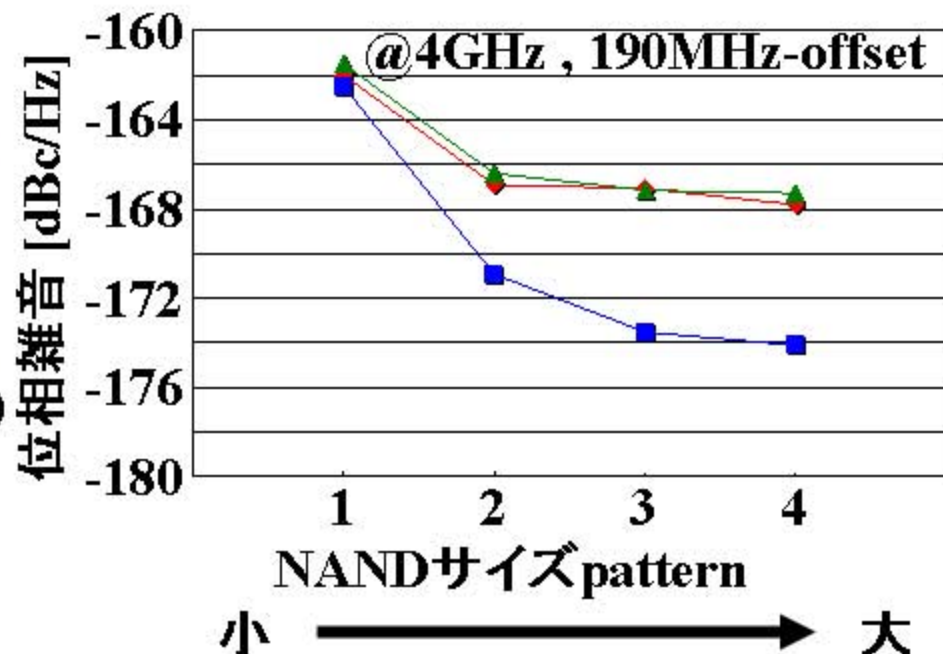
位相雑音特性



横軸をNANDのサイズパターンに変更



LOバッファ回路の影響を解析



※ 分周回路はLOバッファ回路の
入力容量相当の負荷容量をつけた特性

LOバッファ回路の入力容量 = 29.25fF

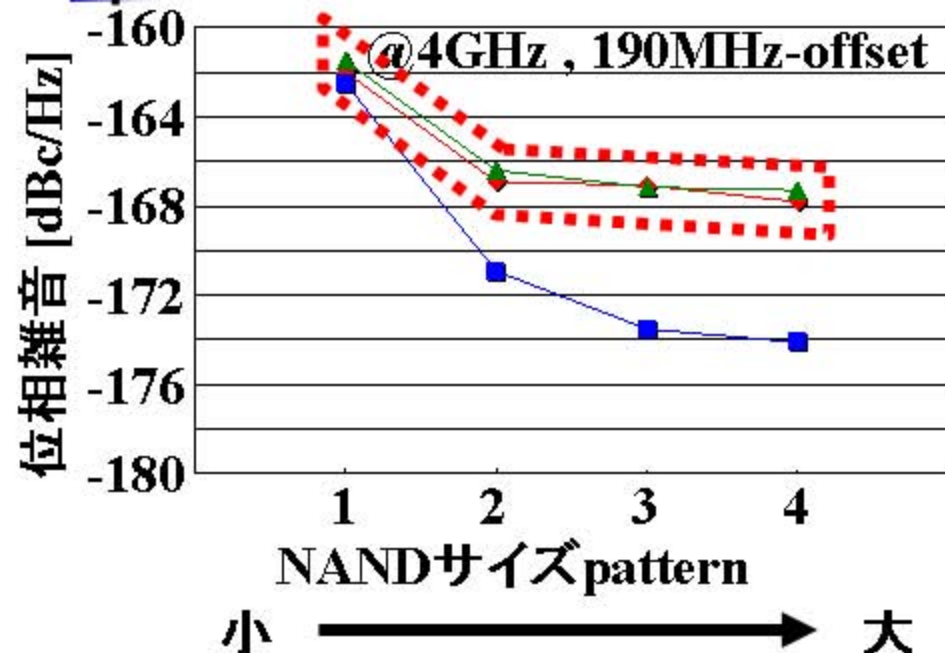
小信号等価回路より導出

分周回路+LOバッファ回路(sim結果)

分周回路+LOバッファ回路(計算結果)

分周回路@29.25fF

検討結果 — Cellular W-CDMA —



分周回路+LOバッファ回路(sim結果)

分周回路+LOバッファ回路(計算結果)

分周回路@29.25fF

分周回路(@29.25fF)の位相雑音と
LOバッファ回路の位相雑音を計算により
足し合わせた位相雑音値

LOバッファ回路の位相雑音

-168.3dBc/Hz@2GHz, 190MHz-offset

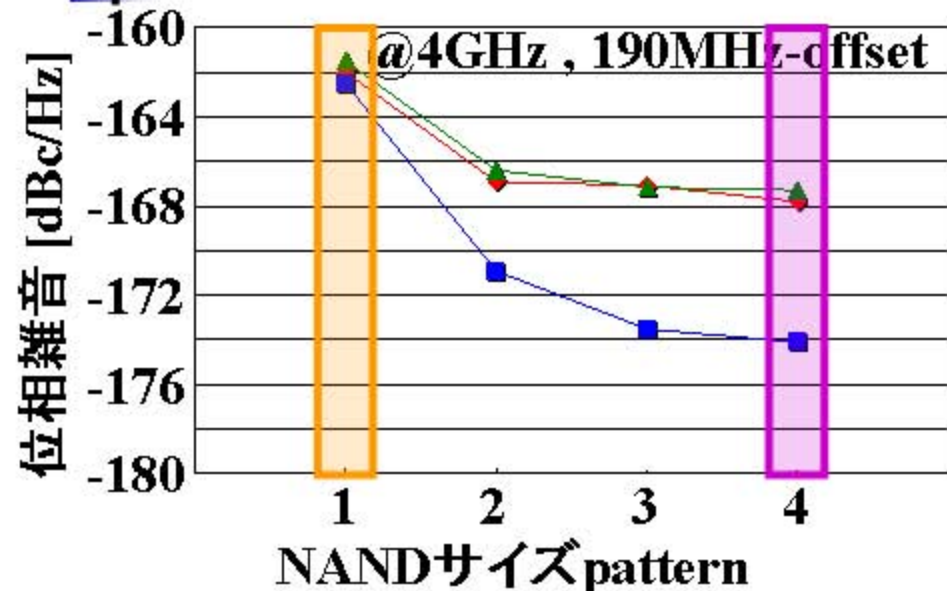
※ バイアス調整を行ったので前記した値と異なる

～ 計算手順 ～

- ① 分周回路29.25fFとLOバッファ回路の位相雑音の真数を算出
- ② 両方の真数を足し合わせデシベル表示に変換

sim結果と計算結果がほぼ一致するのを確認

検討結果 — Cellular W-CDMA —



小 \longrightarrow 大

分周回路+LOバッファ回路(sim結果)

分周回路+LOバッファ回路(計算結果)

分周回路@29.25fF

分周回路とLOバッファ回路の位相雑音

どちらが支配的か検討を行う

1. NANDサイズが小さい場合

分周回路@29.25fFの位相雑音の真数

$$-162.5\text{dBc/Hz} \Rightarrow 5.62 \times 10^{-17}$$

LOバッファ回路の位相雑音の真数

$$-168.3\text{dBc/Hz} \Rightarrow 1.48 \times 10^{-17}$$

分周回路@29.25fFの位相雑音が支配的

2. NANDサイズが大きい場合

分周回路@29.25fFの位相雑音の真数

$$-174.1\text{dBc/Hz} \Rightarrow 0.39 \times 10^{-17}$$

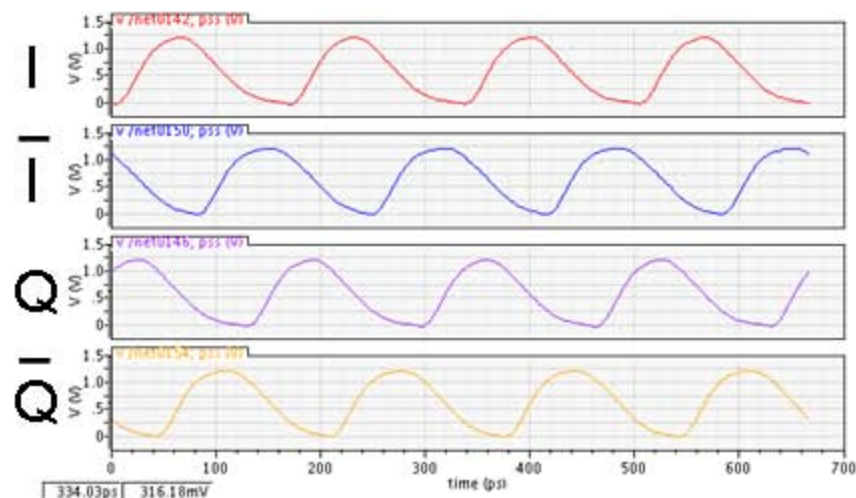
LOバッファ回路の位相雑音の真数

$$-168.3\text{dBc/Hz} \Rightarrow 1.48 \times 10^{-17}$$

LOバッファ回路の位相雑音が支配的

目標仕様を満たす最小消費電流値

② 出力波形@12GHz



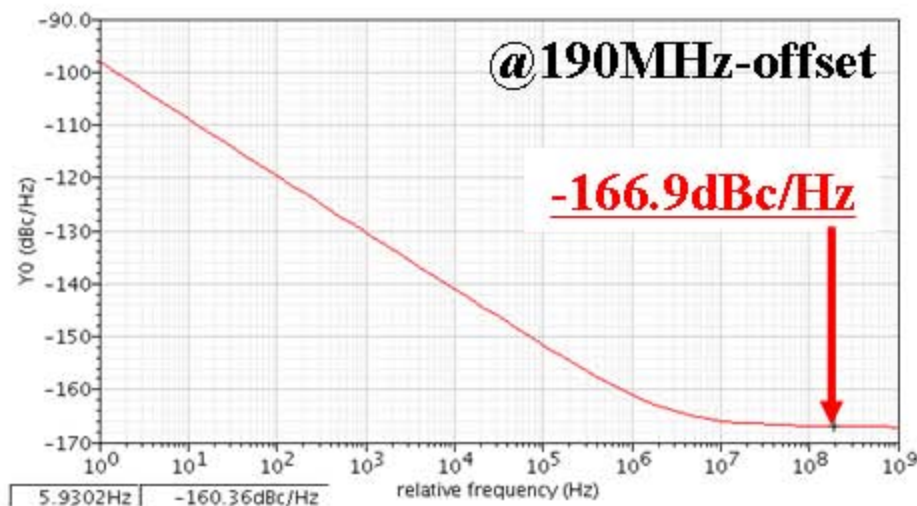
消費電流@12GHz

分周回路 : 5.5mA

LOバッファ回路 : 3.5mA

分周回路 + LOバッファ回路 : 9.0mA

② 位相雑音@4GHz



消費電流@4GHz

分周回路 : 1.9mA

LOバッファ回路 : 1.2mA

分周回路 + LOバッファ回路 : 3.1mA

アウトライン

- 研究背景・目的
- 分周回路構成の検討
 - 高速・低消費電流動作技術の検討
 - 従来回路構成における問題点
 - 提案回路構成の有効性の明確化
 - 低位相雑音動作技術の検討
- LOバッファ回路構成の検討
- 分周回路構成+LOバッファ回路構成の検討
- まとめ

まとめ

65nm CMOSプロセスを使用し、低消費電流で
高速動作と低位相雑音動作の異なる要求を同時に満たせる
分周回路とLOバッファ回路の最適な構成法の検討を行った

- 分周回路 + LOバッファ回路の検討(想定後段負荷容量 : 100fF)

分周回路 : **標準CMOS Logic構成** LOバッファ回路 : **CMOSインバータ構成**

WLAN 802.11a : 9.0mA@動作周波数12GHz

Cellular W-CDMA : 位相雑音-166.9dBc/Hz@190MHz-offset , 3.1mA

従来のアナログ回路構成よりもCMOSの微細化の恩恵を

最も受けられるデジタルリッチな回路構成が

高い性能を有する可能性を確認

ご清聴ありがとうございました

